

NEW PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

MIURA, et al.

Group Art Unit: Unknown

Application No.: Unknown

Examiner: Unknown

Filed: September 24, 2003

Attorney Dkt. No.: 103213-00057

For: DATA PROCESSING CONTROL APPARATUS AND DMA CONTROLLER

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: September 24, 2003

Sir:

The benefit of the filing date of the following prior foreign applications in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Foreign Application Nos. 2002-277276, 2002-77289, and 2002-277298, filed September 24, 2002 in Japan.

In support of this claim, certified copies of said original foreign applications are filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,


Charles M. Marmelstein
Registration No. 25,895

Customer No. 004372
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC
1050 Connecticut Avenue, N.W.,
Suite 400
Washington, D.C. 20036-5339
Tel: (202) 857-6000
Fax: (202) 638-4810
CMM:cam

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 2 4 日
Date of Application:

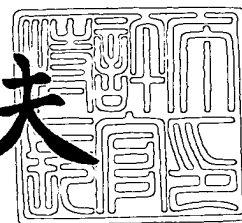
出 願 番 号 特 願 2 0 0 2 - 2 7 7 2 7 6
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 2 7 7 2 7 6]

出 願 人 ロ ー ム 株 式 会 社
Applicant(s):

2 0 0 3 年 8 月 1 1 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



出 証 番 号 出 証 特 2 0 0 3 - 3 0 6 4 4 4 3

【書類名】 特許願

【整理番号】 PR000548

【提出日】 平成14年 9月24日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 13/12

【発明の名称】 データ処理制御装置

【請求項の数】 1

【発明者】

 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

 【氏名】 三浦 弘

【特許出願人】

 【識別番号】 000116024

 【氏名又は名称】 ローム株式会社

【代理人】

 【識別番号】 100085501

 【弁理士】

 【氏名又は名称】 佐野 静夫

【手数料の表示】

 【予納台帳番号】 024969

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0113515

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ処理制御装置

【特許請求の範囲】

【請求項 1】 それぞれ所定のサービスを実行する複数のサービス実行手段に択一的にサービスを実行させるデータ処理制御装置であって、

サービスの実行が要求されているサービス実行手段の中で優先順位が最も高いものがサービスを実行するように制御する制御手段と、

1つのサービス実行手段が許可された量だけ連続してサービスを実行する毎に、そのサービス実行手段の優先順位が最も低くなるように各サービス実行手段の優先順位を更新する優先順位更新手段と、

1つのチャンネルにどれだけ連続してサービスを実行することを許可するかを示すデータを各サービス実行手段毎に書き込むための記憶手段と、を備えたことを特徴とするデータ処理制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、それぞれDMA転送等の所定のサービスを実行する複数のサービス実行手段に択一的にサービスを実行させるデータ処理制御装置に関するものである。

【0002】

【従来の技術】

DMAコントローラを例に挙げて従来のデータ処理制御装置について説明する。DMAコントローラは、周辺装置からデータ転送の要求を受けると、システムバスの使用权を要求し、システムバスの使用权が認可されると、予め設定された転送元から転送先へのデータ転送を開始するようになっている。そして、DMAコントローラの制御によるデータ転送（以下、「DMA転送」と称する）では、CPUの制御によるデータ転送とは違って、命令のリード及び解読が必要ないので、データの転送速度を高速にすることが可能となる。

【0003】

さて、複数のチャンネルを備えたDMAコントローラでは、DMA転送が要求されているチャンネルの中で優先順位が最も高いチャンネルにサービス（DMA転送）を実行させるようになっている。そして、ある特定のチャンネルが独占してサービスを実行するという問題を回避するために、1つのチャンネルが許可された量だけ連続してサービスを実行する毎に、そのチャンネルの優先順位が最も低くなるように各チャンネルの優先順位を更新するものがある。

【0004】

例えば、CH1、CH2、CH3、及び、CH4の4つのチャンネルがあり、チャンネルCH1、CH2、CH3、CH4が許可された量だけ連続してサービスを実行したとすると、それぞれ図11の（a）、（b）、（c）、（d）に示すように、各チャンネルの優先順位が更新される。

【0005】

【特許文献1】

特開平6-83642号公報

【0006】

【発明が解決しようとする課題】

しかしながら、従来は、1つのチャンネルが連続して実行することが許可されているサービス量が各チャンネルに共通な値に固定されていたので、上述したようにして各チャンネルの優先順位を更新すると、サービスの実行が要求されている各チャンネルに常に均等にサービスを実行させることになる。このため、以下に述べるような問題があった。

【0007】

例えば、全てのチャンネルに対してデータ転送が要求されており、そのうちの1つのチャンネルCH1に要求されたデータ転送については遅延が許容されず、他のチャンネルに要求されたデータ転送についてはある程度の遅延が許される場合、チャンネルCH1に優先的にデータ転送を実行させたいが、それを行うことはできないので、チャンネルCH1に要求されたデータ転送を定められた時間内に完了させることができない事態が発生する可能性があった。

【0008】

そこで、本発明は、特定のサービス実行手段が独占してサービスを実行するという問題を回避した上で、任意のサービス実行手段に優先的にサービスを実行させることができるようにしたデータ処理制御装置を提供することを目的とする。

【0009】

【課題を解決するための手段】

上記の目的を達成するため、本発明では、

それぞれ所定のサービスを実行する複数のサービス実行手段に択一的にサービスを実行させるデータ処理制御装置において、

サービスの実行が要求されているサービス実行手段の中で優先順位が最も高いものがサービスを実行するように制御する制御手段と、

1つのサービス実行手段が許可された量だけ連続してサービスを実行する毎に、そのサービス実行手段の優先順位が最も低くなるように各サービス実行手段の優先順位を更新する優先順位更新手段と、

1つのチャンネルにどれだけ連続してサービスを実行することを許可するかを示すデータを各サービス実行手段毎に書き込むための記憶手段と、
を備えている。

【0010】

この構成により、サービスの実行が要求されているサービス実行手段の中で優先順位が最も高いものがサービスの実行を開始することができるが、1つのサービス実行手段が許可された量だけ連続してサービスを実行する毎に、そのサービス実行手段の優先順位が最も低くなるので、特定のサービス実行手段が独占してサービスを実行するという問題は回避される。また、1つのサービス実行手段にどれだけ連続してサービスを実行することを許可するかを各サービス実行手段毎に自由に設定することができるようになるので、任意のサービス実行手段に優先的にサービスを実行させることができるようになる。

【0011】

【発明の実施の形態】

以下に、本発明の実施形態を図面を参照しながら説明する。本発明を適用したDMAコントローラについて説明する。そのブロック図を図1に示す。1は調停

回路、2-1、2-2、2-3、2-4はそれぞれDMAチャンネルである。調停回路1は、DMA起動制御部101、チャンネル決定シーケンサ102、リクエストレジスタ103、エンドレジスタ104、起動チャンネルレジスタ105を備えている。

【0012】

各DMAチャンネル2-1、2-2、2-3、2-4は、その回路構成を図2に示すように、DMA実行シーケンサ201、レジスタコントローラ202、CTLレジスタ203、SRCレジスタ204、DSTレジスタ205、CYCレジスタ206、TRNレジスタ207、SETレジスタ208、SRCカウンタ209、DSTカウンタ210、TMP_CYCレジスタ211、CYCカウンタ212、TRNカウンタ213、CUR_SETレジスタ214、RLD_SRCレジスタ215、RLD_DSTレジスタ216、RLD_CYCレジスタ217、RLD_TRNレジスタ218、RLD_SETレジスタ219、マルチプレクサ220、221、222、223、及び、224、並びに、ACCカウンタ225を備えている。

【0013】

調停回路1では、DMA起動制御部101が、システムバス300の使用権の調停を行うとともに、DMAチャンネル2-1、2-2、2-3、及び、2-4が択一的にDMA転送を行うように制御する。チャンネル決定シーケンサ102は、リクエストレジスタ103及びエンドレジスタ104の値に基づいてDMA転送を実行させるべきDMAチャンネルを決定する。リクエストレジスタ103は、どのDMAチャンネルに対してDMA転送が要求されているかを記憶するためのレジスタである。エンドレジスタ104は、各DMAチャンネルの動作状況を示すデータが書き込まれるレジスタである。起動チャンネルレジスタ105はチャンネル決定シーケンサ102で決定されたDMAチャンネルを示すデータが書き込まれるレジスタである。

【0014】

DMA起動制御部101の動作を図3に示すフローチャートを用いて詳細に説明する。まず、起動チャンネルレジスタ105のDMA_CHビットの値が0で

ないか否かを判定する(#101)。DMA__CHビットの値が0でなければ(#101のY)、出力信号BUS__REQをアサートする(システムバス300の使用権を要求する)(#102)。次に、入力信号BUS__ACKがアサートされている(システムバス300の使用権が認可されている)か否かを判定する(#103)。

【0015】

入力信号BUS__ACKがアサートされていれば(#103のY)、DMAチャンネル2-1、2-2、2-3、2-4への各スタート信号のうち、起動チャンネルレジスタ105のDMA__CHビットの値に対応するDMAチャンネル2-k(k=1、2、3、または、4)へのスタート信号のみがアサートした状態にする(#104)。

【0016】

#104では、具体的には、DMA__CHビットの値が1であれば、DMAチャンネル2-1へのスタート信号のみがアサートした状態にし、また、DMA__CHビットの値が2であれば、DMAチャンネル2-2へのスタート信号のみをアサートした状態にし、また、DMA__CHビットの値が3であれば、DMAチャンネル2-3へのスタート信号のみをアサートした状態にし、また、DMA__CHビットの値が4であれば、DMAチャンネル2-4へのスタート信号のみをアサートした状態にする。

【0017】

#104を終えると、入力信号BUS__ACKがネゲートされている(システムバス300の使用権が取り下げられている)か否かを判定する(#105)。入力信号BUS__ACKがネゲートされていれば(#105のY)、DMAチャンネル2-1、2-2、2-3、2-4への各スタート信号がネゲートした状態にする(#106)。#106を終えると、前述した#103へ移行する。一方、入力信号BUS__ACKがネゲートされていなければ(#105のN)、#107へ移行する。

【0018】

#107では、許可されたサイクル数だけ連続してDMA転送を行った旨の通

知、指定されたサイクル数だけDMA転送を行った旨の通知、または、DMA転送が終了した旨の通知をDMAチャンネル2-kから受けたか否かを判定する。

#107での判定結果が肯定であれば(#107のY)、DMAチャンネル2-1、2-2、2-3、2-4への各スタート信号がネゲートした状態にする(#108)とともに、エンドレジスタ104のENDkビットを1にセットする(#109)。

【0019】

#109の後は、受けた通知が許可されたサイクル数だけ連続してDMA転送を行った旨の通知であったときには(#110のY)、後述する#111へ移行し、一方、受けた通知が許可されたサイクル数だけ連続してDMA転送を行った旨の通知でなかったときには(#110のN)、後述する#113へ移行する。

【0020】

#111では、起動チャンネルレジスタ105のDMA__CHビットの値が0でないか否かを判定する。DMA__CHビットの値が0でなければ(#111のY)、前述した#103へ移行し、一方、DMA__CHビットの値が0であれば(#111のN)、出力信号BUE__REQをネゲートする(システムバス300の使用権の要求を取り下げる)(#112)。#112を終えると、前述した#101へ移行する。

【0021】

#113では、リクエストレジスタ103のREQkビットを0にセットする。#113の後は、受けた通知が指定されたサイクル数だけDMA転送を行った旨の通知であったときには(#114のY)、前述した#111へ移行する。一方、受けた通知が指定されたサイクル数だけDMA転送を行った旨の通知でなかったとき(言い換えれば、受けた通知がDMA転送が終了した旨の通知であったとき)には(#114のN)、前述した#112へ移行する。

【0022】

以上の動作に加えて、DMA起動制御部101は、DMAチャンネル2-x (x=1、2、3、または、4)に対してDMA転送が要求されると(具体的な例としては、入力信号DMA__REQxがネゲートされた状態からアサートされた

状態に変化すると)、リクエストレジスタ103のREQxビットを1にセットする。

【0023】

また、バスコントローラ(不図示)からDMA待機命令が発行されると(具体的には、入力信号DMA_WAITがアサートされると)、各DMAチャンネル2-1、2-2、2-3、2-4へのウェイト信号をアサートする。また、DMA待機命令が解除されると(具体的には、入力信号DMA_WAITがネゲートされると)、上記ウェイト信号をネゲートする。

【0024】

尚、バスコントローラは、DMAコントローラがアクセスしたアドレスに対するデータの読み出しあるいは書き込みが完了する前に次の動作に移行しないように、DMAコントローラがアクセスしたアドレスに応じて信号DMA_WAITを制御するようになっている。

【0025】

チャンネル決定シーケンサ102の動作を図4に示すフローチャートを用いて詳細に説明する。まず、リクエストレジスタ103のREQ1ビットが1であるか否かを判定する(#201)。REQ1ビットが1であれば(#201のY)、起動チャンネルレジスタ105のDMA_CHビットの値を1にセットするとともに(#202)、エンドレジスタ104のEND1ビット、END2ビット、END3ビット、及び、END4ビットを0にセットし(#203)、その後、END1ビットが1になると(#204のY)、後述する#208へ移行する。

【0026】

一方、REQ1ビットが1でなければ(#201のN)、エンドレジスタ104のEND1ビットが1であるか否かを判定する(#205)。END1ビットが1であれば(#205のY)、起動チャンネルレジスタ105のDMA_CHビットの値を0にセットする(#206)とともに、END1ビットを0にセットし(#207)、その後、#208へ移行する。一方、END1ビットが1でなければ(#205のN)、#208へそのまま移行する。

【0027】

#208では、リクエストレジスタ103のREQ2ビットが1であるか否かを判定する。REQ2ビットが1であれば(#208のY)、起動チャンネルレジスタ105のDMA__CHビットの値を2にセットする(#209)とともに、エンドレジスタ104のEND1ビット、END2ビット、END3ビット、及び、END4ビットを0にセットし(#210)、その後、END2ビットが1になると(#211のY)、後述する#215へ移行する。

【0028】

一方、REQ2ビットが1でなければ(#208のN)、エンドレジスタ104のEND2ビットが1であるか否かを判定する(#212)。END2ビットが1であれば(#212のY)、起動チャンネルレジスタ105のDMA__CHビットの値を0にセットする(#213)とともに、END2ビットを0にセットし(#214)、その後、#215へ移行する。一方、END2ビットが1でなければ(#212のN)、#215へそのまま移行する。

【0029】

#215では、リクエストレジスタ103のREQ3ビットが1であるか否かを判定する。REQ3ビットが1であれば(#215のY)、起動チャンネルレジスタ105のDMA__CHビットの値を3にセットする(#216)とともに、エンドレジスタ104のEND1ビット、END2ビット、END3ビット、及び、END4ビットを0にセットし(#217)、その後、END3ビットが1になると(#218のY)、後述する#222へ移行する。

【0030】

一方、REQ3ビットが1でなければ(#215のN)、エンドレジスタ104のEND3ビットが1であるか否かを判定する(#219)。END3ビットが1であれば(#219のY)、起動チャンネルレジスタ105のDMA__CHビットの値を0にセットする(#220)とともに、END3ビットを0にセットし(#221)、その後、#222へ移行する。一方、END3ビットが1でなければ(#219のN)、#222へそのまま移行する。

【0031】

#222では、リクエストレジスタ103のREQ4ビットが1であるか否かを判定する。REQ4ビットが1であれば(#222のY)、起動チャンネルレジスタ105のDMA_CHビットの値を4にセットする(#223)とともに、エンドレジスタ104のEND1ビット、END2ビット、END3ビット、及び、END4ビットを0にセットし(#224)、その後、END4ビットが1になると(#225のY)、前述した#201へ移行する。

【0032】

一方、REQ4ビットが1でなければ(#222のN)、エンドレジスタ104のEND4ビットが1であるか否かを判定する(#226)。END4ビットが1であれば(#226のY)、起動チャンネルレジスタ105のDMA_CHビットの値を0にセットする(#227)とともに、END4ビットを0にセットし(#228)、その後、前述した#201へ移行する。一方、END3ビットが1でなければ(#219のN)、前述した#201へそのまま移行する。

【0033】

尚、電源投入時には、レジスタの初期化が行われ、リクエストレジスタ103のREQ1、REQ2、REQ3、REQ4の各ビットが0に、エンドレジスタ104のEND1、END2、END3、END4の各ビットが0に、起動チャンネルレジスタ105のDMA_CHビットの値が0に、それぞれセットされるようになっている。

【0034】

各DMAチャンネル2-1、2-2、2-3、2-4では、DMA実行シーケンサ201が、調停回路1による制御の下で、CTLレジスタ203、SRCカウンタ209、DSTカウンタ210、CYCカウンタ212、CUR_SETレジスタ214、ACCカウンタ225、及び、レジスタコントローラ202内のレジスタ(不図示)の内容に基づいてDMA転送を実行する。

【0035】

レジスタコントローラ202は、DMA実行シーケンサ201からの指示、並びに、CTLレジスタ203、CYCカウンタ212、TRNカウンタ213、CUR_SETレジスタ214、ACCカウンタ225、及び、自身のレジスタ

の内容に基づいて、SRCカウンタ209、DSTカウンタ210、TMP_CYCレジスタ211、CYCカウンタ212、TRNカウンタ213、CUR_SETレジスタ214、及び、ACCカウンタ225の動作の制御、並びに、内部のレジスタの書き換えを行う。

【0036】

CTLレジスタ203、SRCレジスタ204、DSTレジスタ205、CYCレジスタ206、TRNレジスタ207、及び、SETレジスタ208には、DMA転送を実行するために必要な情報がCPUによって書き込まれる。具体的には、CTLレジスタ203には、DMA転送を制御するための情報が書き込まれる。SRCレジスタ204には、データの転送元の領域（データを読み出す領域）の先頭のアドレスが書き込まれる。DSTレジスタ205には、データの転送先の領域（データを書き込む領域）の先頭のアドレスが書き込まれる。

【0037】

CYCレジスタ206には、1回のDMA転送におけるサイクル数に応じた値が書き込まれる。TRNレジスタ207には、DMA転送を行う回数に応じた値が書き込まれる。SETレジスタ208には、DMA転送に関するその他の情報（1サイクルで転送するデータのサイズ、転送元アドレス及び転送先アドレスを1サイクル毎に更新する／しないなど）が書き込まれる。

【0038】

尚、SETレジスタ208にはCRビットが用意されており、CPUは、このCRビットに、当DMAチャンネルに何サイクル連続してDMA転送を行うことを許可するかを示すデータ（具体的には、許可するサイクル数-1）を書き込むようになっている。また、CUR_SETレジスタ214及びRLD_SETレジスタ219にもCRビットが用意されている。

【0039】

SRCカウンタ209は、転送元のアドレスを記憶するとともに、必要に応じて更新するためのカウンタである。DSTカウンタ210は、転送先のアドレスを記憶するとともに、必要に応じて更新するためのカウンタである。TMP_CYCレジスタ211は、1回のDMA転送で行うべきサイクル数を記憶しておく

ためのレジスタである。CYCカウンタ212は、1回のDMA転送で行ったサイクル数を計測するためのカウンタである。TRNカウンタ213は、DMA転送を行った回数を計測するためのカウンタである。CUR__SETレジスタ214は、SETレジスタ208に書き込まれた情報を記憶しておくためのレジスタである。ACCカウンタ225は、当DMAチャンネルが連続して行ったサイクル数を計測するためのカウンタである。

【0040】

ここで、本実施形態のDMAコントローラでは、後述するように、DMA転送を実行するにあたって、それに必要な情報をRAM400から自身にDMA転送するモード（リロードモード）が存在する。CPUは、このリロードモードを用いてDMA転送を実行させるときには、図5に一例を示すように、実行させたい各DMA転送毎に、当該DMA転送の次に実行させたいDMA転送に必要な情報が書き込まれているRAM400内の先頭のアドレス、並びに、当該DMA転送に必要な情報（転送元のアドレスを示す情報、転送先の先頭のアドレスを示す情報、1回のDMA転送で行うサイクル数を示す情報、DMA転送を行う回数を示す情報、その他の情報、及び、制御情報）を、RAM400の連続した領域に書き込むようになっている。尚、図5は2つのDMA転送を設定した場合のものである。

【0041】

RLD__SRCレジスタ215は、DMA転送に必要な情報が書き込まれているRAM400内の先頭のアドレスをCPUが書き込むためのものである。RLD__DSTレジスタ216、RLD__CYCレジスタ217、RLD__TRNレジスタ218、及び、RLD__SETレジスタ219には、DMA転送に必要な情報をRAM400からDMAチャンネルのレジスタ群（SRCレジスタ204、DSTレジスタ205、CYCレジスタ206、TRNレジスタ207、及び、SETレジスタ208）にDMA転送するために必要な情報が書き込まれている。

【0042】

マルチプレクサ220は、SRCレジスタ204に保持されているデータとR

LD__SRCレジスタ215に保持されているデータとのどちらか一方をDMA実行シーケンサ201からの指示に応じて選択する。マルチプレクサ220で選択されたデータはSRCカウンタ209に与えられている。

【0043】

マルチプレクサ221は、DSTレジスタ205に保持されているデータとRLD__DSTレジスタ216に保持されているデータとのどちらか一方をDMA実行シーケンサ201からの指示に応じて選択する。マルチプレクサ221で選択されたデータはDSTカウンタ210に与えられている。

【0044】

マルチプレクサ222は、CYCレジスタ206に保持されているデータとRLD__CYCレジスタ217に保持されているデータとのどちらか一方をDMA実行シーケンサ201からの指示に応じて選択する。マルチプレクサ222で選択されたデータはTMP__CYCレジスタ211及びCYCカウンタ212に与えられている。尚、CYCカウンタ212には、TMP__CYCレジスタ211に保持されているデータも与えられている。

【0045】

マルチプレクサ223は、TRNレジスタ207に保持されているデータとRLD__TRNレジスタ218に保持されているデータとのどちらか一方をDMA実行シーケンサ201からの指示に応じて選択する。マルチプレクサ223で選択されたデータはTRNカウンタ213に与えられている。

【0046】

マルチプレクサ224は、TRNレジスタ208に保持されているデータとRLD__TRNレジスタ219に保持されているデータとのどちらか一方をDMA実行シーケンサ201からの指示に応じて選択する。マルチプレクサ224で選択されたデータはCUR__SETレジスタ214及びACCカウンタ225に与えられている。尚、ACCカウンタ225には、マルチプレクサ224で選択されたデータのうちのCRビットのデータのみが与えられている。また、ACCカウンタ225には、CUR__SETレジスタ214に保持されているデータのうちのCRビットのデータも与えられている。

【0047】

DMAチャンネルのDMA実行シーケンサ201の動作を図6及び図7に示すフローチャートを用いて詳細に説明する。まず、CTLレジスタ203のENBビットが1であるか否かを判定する(#301)。ENBビットが1であれば(#301のY)、#302へ移行する。

【0048】

尚、CPUは、使用中でないチャンネルに対して、DMA転送の設定を終えると、すなわち、CTLレジスタ203、SRCレジスタ204、DSTレジスタ205、CYCレジスタ206、TRNレジスタ207、及び、SETレジスタ208にDMA転送に必要な情報を書き込むと、CTLレジスタ203のENBビットを1にセットするようになっている。

【0049】

#302では、CTLレジスタ203のRESUMビットが1、MOD1ビットが1、MOD0ビットが0、かつ、レジスタコントローラ202内のレジスタのEOP__Oビットが1であるか否かを判定する。#302での判定結果が肯定であれば(#302のY)、前述した#301へ移行し、一方、否定であれば(#302のN)、#303へ移行する。

【0050】

尚、CPUは、CTLレジスタ203のENBビットを0にセットすることによりDMA転送を中断させ、その後、ENBビットを1にセットすることによりDMA転送を再開させるに先立って、CTLレジスタ203のRESUMビットを1にセットするようになっている。

【0051】

#303では、CTLレジスタ203のS/W_STARTビットが1、かつ、MOD1ビット、MOD0ビットが共に1であるか否かを判定する。#303での判定結果が肯定であれば(#303のY)、自身のレジスタのreloadビットを1にセットし(#304)、その後、#306へ移行する。一方、#303での判定結果が否定であれば(#303のN)、reloadビットを0にセットし(#305)、その後、#306へ移行する。

【0052】

尚、`reload`ビットに応じてマルチプレクサ220、221、222、223、224での選択が切り換わるようになっている。具体的には、マルチプレクサ220、221、222、223、224は、`reload`ビットが0であるときには、それぞれSRCレジスタ204、DSTレジスタ205、CYCレジスタ206、TRNレジスタ207、SETレジスタ208に保持されているデータを選択し、一方、`reload`ビットが1であるときには、それぞれRLD_SRCレジスタ215、RLD_DSTレジスタ216、RLD_CYCレジスタ217、RLD_TRNレジスタ218、RLD_SETレジスタ219に保持されているデータを選択するようになっている。

【0053】

#306では、アイドル状態からロード&ウェイト状態に遷移する旨をレジスタコントローラ202に通知する。#306を終えると、CTLレジスタ203のENBビットが1であるか否かを判定する(#307)。ENBビットが1であれば(#307のY)、#308へ移行し、一方、ENBビットが1でなければ(#307のN)、前述した#301へ移行する。

【0054】

#308では、調停回路1からのスタート信号がアサートされているか否かを判定する。スタート信号がアサートされていれば(#308のY)、後述する#310へ移行し、一方、スタート信号がアサートされていなければ(#308のN)、#309へ移行する。

【0055】

#309では、CTLレジスタ203のS/W_STARTビットが1であるか否かを判定する。S/W_STARTビットが1であれば(#309のY)、後述する#310へ移行し、一方、S/W_STARTビットが1でなければ(#309のN)、前述した#307へ移行する。

【0056】

#310では、SRCカウンタ209の値に対応するアドレスから自身のバッファにデータを読み込む。#310を終えると、調停回路1からのウェイト信号

がアサートされているか否かを判定し（＃ 3 1 1）、ウエイト信号がアサートされていなければ（＃ 3 1 1のN）、＃ 3 1 2へ移行する。

【0057】

＃ 3 1 2では、リード状態からライト状態に遷移する旨をレジスタコントローラ 2 0 2に通知する。＃ 3 1 2を終えると、＃ 3 1 0で読み込んだデータをDS Tカウンタ 2 1 0の値に対応するアドレスに書き込む（＃ 3 1 3）。次に、ウエイト信号がアサートされているか否かを判定し（＃ 3 1 4）、ウエイト信号がアサートされていなければ（＃ 3 1 4のN）、＃ 3 1 5へ移行する。

【0058】

＃ 3 1 5では、レジスタコントローラ 2 0 2内のレジスタのEOP__Oビットが1であるか否かを判定する。EOP__Oビットが1であれば（＃ 3 1 5のY）、DMA転送が終了した旨を調停回路 1に通知する（＃ 3 1 6）。一方、EOP__Oビットが1でなければ（＃ 3 1 5のN）、後述する＃ 3 3 1へ移行する。

【0059】

＃ 3 1 6を終えると、CTLレジスタ 2 0 3のCEPEビットが1であるか否かを判定する（＃ 3 1 7）。CEPEビットが1であれば（＃ 3 1 7のY）、割り込み信号を用いてDMA転送が終了した旨をCPUに通知し（＃ 3 1 8）、その後、＃ 3 1 9へ移行する。一方、CEPEビットが1でなければ（＃ 3 1 7のN）、＃ 3 1 8を行うことなく、＃ 3 1 9へ移行する。

【0060】

＃ 3 1 9では、CTLレジスタ 2 0 3のMOD1ビット、MOD0ビットが共に0であるか否かを判定する。＃ 3 1 9での判定結果が肯定であれば（＃ 3 1 9のY）、CTLレジスタ 2 0 3のENBビットに0をセットする（＃ 3 2 0）とともに、ライト状態からアイドル状態に遷移する旨をレジスタコントローラ 2 0 2に通知する（＃ 3 2 1）。＃ 3 2 1を終えると、前述した＃ 3 0 1へ移行する。一方、＃ 3 1 9での判定結果が否定であれば（＃ 3 1 9のN）、＃ 3 2 2へ移行する。

【0061】

＃ 3 2 2では、CTLレジスタ 2 0 3のMOD1ビット、MOD0ビットが共

に1であるか否かを判定する。#322での判定結果が肯定であれば(#322のY)、#323へ移行し、一方、#322での判定結果が否定であれば(#322のN)、後述する#326へ移行する。

【0062】

#323では、自身のレジスタのreloadビットを反転させる。#323を終えると、reloadビットが1であるか否かを判定する(#324)。reloadビットが1であれば(#324のY)、CTLレジスタ203のS/W_STARTビットを1にセットし(#325)、その後、後述する#329へ移行する。一方、reloadビットが1でなければ(#324のN)、#325を行うことなく、後述する#329へ移行する。

【0063】

#322での判定結果が否定であるとき(#322のN)に移行する#326では、自身のレジスタのreloadビットを0にセットする。#326を終えると、CTLレジスタ203のMOD1ビットが1、MOD0ビットが0であるか否かを判定する(#327)。

【0064】

#327での判定結果が肯定であれば(#327のY)、MOD1ビット、MOD0ビットを共に0にセットし(#328)、その後、#329へ移行する。一方、#327での判定結果が否定であれば(#327のN)、#328を行うことなく、#329へ移行する。

【0065】

#329では、CTLレジスタ203のCEPEビットの値をCTLレジスタ203のNEPEビットの値で更新する。#329を終えると、ライト状態からロード&ウェイト状態に遷移する旨をレジスタコントローラ202に通知する(#330)。#330を終えると、前述した#307へ移行する。

【0066】

#315での判定結果が否定であるとき(#315のN)に移行する#331では、CYCカウンタ212にアンダーフローが発生しているか否かを判定する。CYCカウンタ212にアンダーフローが発生していれば(#331のY)、

指定されたサイクル数だけDMA転送を行った旨を調停回路1に通知する(#332)。#332の後は、前述した#330へ移行する。一方、CYCカウンタ212にアンダーフローが発生していなければ(#331のN)、#333へ移行する。

【0067】

#333では、ACCカウンタ225にアンダーフローが発生しているか否かを判定する。ACCカウンタ225にアンダーフローが発生していれば(#333のY)、許可されたサイクル数だけ連続してDMA転送を行った旨を調停回路1に通知する(#334)。#334の後は、前述した#330へ移行する。一方、ACCカウンタ225にアンダーフローが発生していなければ(#333のN)、ライト状態からリード状態に遷移する旨をレジスタコントローラ202に通知する(#335)。#335を終えると、前述した#307へ移行する。

【0068】

レジスタコントローラ202の動作を図8及び図9に示すフローチャートを用いて説明する。レジスタコントローラ202は、DMA実行シーケンサ201からの状態遷移の通知を監視している(#401、#405、#413、及び、#416)。

【0069】

まず、アイドル状態からロード&ウェイト状態に遷移する旨の通知をDMA実行シーケンサ201から受けた場合について説明する。このときには、#401での判定結果が肯定になり(#401のY)、自身のレジスタのEOP_Oビットが1、または、CTLレジスタ203のRESUMビットが0であるか否かを判定する(#402)。

【0070】

#402での判定結果が肯定であれば(#402のY)、SRCカウンタ209のデータをマルチプレクサ220から与えられるデータで、DSTカウンタ210のデータをマルチプレクサ221から与えられるデータで、TMP_CYCレジスタ211及びCYCカウンタ212のデータをマルチプレクサ222から与えられるデータで、TRNカウンタ213のデータをマルチプレクサ223か

ら与えられるデータで、CUR__SETレジスタ214及びACCカウンタ225のデータをマルチプレクサ224から与えられるデータで、それぞれ更新する(#403)とともに、自身のレジスタのEOP__Oビットを0にセットする(#404)。

【0071】

次に、リード状態からライト状態に遷移する旨の通知をDMA実行シーケンサ201から受けた場合について説明する。このときには、#405での判定結果が肯定になり(#405のY)、CUR__SETレジスタ214のDSDIRビットが1であるか否かを判定する(#406)。

【0072】

DSDIRビットが1であれば(#406のY)、SRCカウンタ209の値を1だけインクリメントさせ(#407)、その後、#408へ移行する。一方、DSDIRビットが1でなければ(#406のN)、#407を行うことなく、#408へ移行する。

【0073】

#408では、CYCカウンタ212及びACCカウンタ225の値を1だけデクリメントさせる。#408を終えると、CYCカウンタ212にアンダーフローが発生しているか否かを判定する(#409)。CYCカウンタ212にアンダーフローが発生していれば(#409のY)、TRNカウンタ213の値が0であるか否かを判定する(#410)。

【0074】

TRNカウンタ213の値が0でなければ(#410のN)、TRNカウンタ213の値を1だけデクリメントさせる(#411)。一方、TRNカウンタ213の値が0であれば(#410のY)、自身のレジスタのEOP__Oビットを1にセットする(#412)。

【0075】

次に、ライト状態からアイドル状態に遷移する旨の通知、または、ライト状態からリード状態に遷移する旨の通知をシーケンサ201から受けた場合について説明する。このときには、#413での判定結果が肯定になり(#413のY)

、CUR_SETレジスタ214のDDDIRビットが1であるか否かを判定する(#414)。DDDIRビットが1であれば(#414のY)、DSTカウンタ210の値を1だけインクリメントさせる(#415)。

【0076】

次に、ライト状態からロード&ウェイト状態に遷移する旨の通知をDMA実行シーケンサ201から受けた場合について説明する。このときには、#416での判定結果が肯定になり(#416のY)、自身のレジスタのEOP_Oビットが1であるか否かを判定する(#417)。

【0077】

EOP_Oビットが1であれば(#417のY)、前述した#403及び#404を行う。一方、EOP_Oビットが1でなければ(#417のN)、CYCカウンタ212にアンダーフローが発生しているか否かを判定する(#418)。

【0078】

CYCカウンタ212にアンダーフローが発生していれば(#418のY)、CYCカウンタ212の値をTMP_CYCレジスタ211の値で更新する(#419)とともに、ACCカウンタ225の値をCUR_SETレジスタ214のCRビットが示す値で更新する(#420)。#420を終えると、前述した#414へ移行する。一方、CYCカウンタ212にアンダーフローが発生していなければ(#418のN)、#421へ移行する。

【0079】

#421では、ACCカウンタ225にアンダーフローが発生しているか否かを判定する(#421)。ACCカウンタ225にアンダーフローが発生していれば(#421のY)、前述した#420へ移行する。一方、ACCカウンタ225にアンダーフローが発生していなければ(#421のN)、前述した#414へ移行する。

【0080】

以上に述べた調停回路1のDMA起動制御部101及びチャンネル決定シーケンサ102、並びに、各DMAチャンネル2-1、2-2、2-3、2-4のD

MA実行シーケンサ201及びレジスタコントローラ202の動作により、DMA転送が要求されているDMAチャンネルの中で優先順位が最も高いものがDMA転送を行うが、1つのサービス実行手段が許可されたサイクル数だけ連続してDMA転送を行う毎に、そのサービス実行手段の優先順位が最も低くなる。

【0081】

そして、各DMAチャンネル2-1、2-2、2-3、2-4では、連続して行うことができるDMA転送のサイクル数がCUR_SETレジスタ214のCRビットの値によって決まる（具体的には、CUR_SETレジスタ214のCRビットの値+1になる）ので、CPUは、1つのDMAチャンネルが連続して行うことができるDMA転送のサイクル数を各DMAチャンネル2-1、2-2、2-3、2-4毎に自由に設定することができる。尚、あるDMAチャンネルが連続してDMA転送を行うことができるサイクル数を他のDMAチャンネルのそれよりも大きく設定することにより、そのDMAチャンネルに優先的にDMA転送を実行させることができる。

【0082】

したがって、特定のDMAチャンネルが独占してDMA転送を実行するという問題を回避した上で、任意のDMAチャンネルに優先的にDMA転送を実行させることができるようになる。

【0083】

例えば、DMAチャンネル2-1では、CYCカウンタ212の値が2、TRNカウンタ213の値が0、CUR_SETレジスタ214のCRビットの値が1であり、DMAチャンネル2-2では、CYCカウンタ212の値が4、TRNカウンタ213の値が0、CUR_SETレジスタ214のCRビットの値が2であり、DMAチャンネル2-3では、CYCカウンタ212の値が0、TRNカウンタ213の値が0、CUR_SETレジスタ214のCRビットの値が0であり、DMAチャンネル2-4では、CYCカウンタ212の値が0、TRNカウンタ213の値が0、CUR_SETレジスタ214のCRビットの値が0であるときに、図10に示すように、入力信号DMA_REQ1、DMA_REQ2、DMA_REQ3、DMA_REQ4が変化したとすると、DMA転送

を行うDMAチャンネルACT.CHは同図に示すように変化する。

【0084】

尚、図10において、Tは1サイクルの期間を示しており、また、CH1、CH2、CH3、CH4はそれぞれDMAチャンネル2-1、2-2、2-3、2-4を示しており、また、NONはDMAチャンネル2-1、2-2、2-3、2-4のいずれもDMA転送を行っていないことを示している。また、図10は同図のt1～t2の間でシステムバス300の使用権が取り下げられないものと仮定した場合のものである。

【0085】

また、各DMAチャンネル2-1、2-2、2-3、2-4では、DMA転送を開始するにあたって、設定用レジスタ群（SRCレジスタ204、DSTレジスタ205、CYCレジスタ206、TRNレジスタ207、及び、SETレジスタ208）の値を動作レジスタ群（SRCカウンタ209、DSTカウンタ210、TMP__CYCレジスタ211、CYCカウンタ212、TRNカウンタ213、CUR__SETレジスタ214、及び、ACCカウンタ225）に書き込むとともに、動作レジスタ群の値に基づいてDMA転送を実行する。

【0086】

したがって、DMA転送に必要な情報を設定用レジスタ群に書き込むことによって、使用中のDMAチャンネルに対してもDMA転送の設定を行うことができるようになる。これにより、あるタスクでDMA転送を行おうとしたときに、全てのDMAチャンネルが使用中であっても、DMA転送の終了を待つことなくDMA転送の設定を行うことができる可能性が生まれ、タスクスイッチング等によるCPUの処理時間の浪費を低減させることができる。

【0087】

また、CTLレジスタ203のMOD1ビット及びMOD0ビットに応じて動作が以下のように異なる。DMA転送が終了したときに、MOD1ビット、MOD0ビットが共に0にセットされていれば、アイドル状態（DMA転送が禁止された状態）になる（以下、「ノーマルモード」と称する）。

【0088】

DMA転送が終了したときに、MOD1ビットが0、MOD0ビットが1にそれぞれセットされていれば、ロード&ウェイト状態（動作用レジスタ群の値を設定用レジスタ群の値で更新してDMA転送が要求されるのを待っている状態）になるので、CPUの介在なしで次のDMA転送が開始される（以下、「オートリピートモード」と称する）。

【0089】

DMA転送が終了したときに、MOD1ビットが1、MOD0ビットが0にそれぞれセットされていれば、MOD1ビット、MOD0ビットを共に0にセットしてからロード&ウェイト状態になるので、CPUの介在なしで次のDMA転送が開始されるが、そのDMA転送が終了すると、アイドル状態になる（以下、「オートスタートモード」と称する）。

【0090】

したがって、CPUは、使用中でないDMAチャンネルに対してDMA転送を設定した場合にはノーマルモードに、設定したDMA転送が繰り返し行われるようにしたい場合にはオートリピートモードに、使用中のDMAチャンネルに対してDMA転送を設定した場合にはオートスタートモードに、それぞれDMAチャンネルの動作モードが切り換わるように、CTLレジスタ203のMOD1ビット及びMOD0ビットを書き換えればよい。

【0091】

また、DMA転送が実行可能になったとき（CTLレジスタ203のENBビットが1にセットされたとき）に、CTLレジスタ203のS/W_STARTビットが1、MOD1ビット、MOD0ビットが共に1である場合には、DMA転送に必要な情報をRAM400から設定用レジスタ群にDMA転送するために必要な情報をリロードレジスタ群（RLD_SRCレジスタ215、RLD_DSTレジスタ216、RLD_CYCレジスタ217、RLD_TRNレジスタ218、及び、RLD_SETレジスタ219）から動作用レジスタ群に書き込んだ後に、動作用レジスタ群の値に基づいてDMA転送を実行するので、DMA転送に必要な情報がRAM400から設定用レジスタ群にDMA転送される。その後、MOD1ビット、MOD0ビットが共に1である間は、DMA転送に必要

な情報を R A M 4 0 0 から設定用レジスタ群に DMA 転送するという動作と、R A M 4 0 0 から設定用レジスタ群に DMA 転送された情報に基づいて DMA 転送を行うという動作とが交互に行われる（以下、「リロードモード」と称する）。

【0 0 9 2】

このリロードモードにおいては、希望する全ての DMA 転送を実行させるためには、それらの各 DMA 転送に必要な情報を、一例として図 5 に示すように、R A M 4 0 0 に書き込んだ後に、C T L レジスタ 2 0 3 の S / W _ S T A R T ビットを 1 に、M O D 1 ビット、M O D 0 ビットを共に 1 にそれぞれセットするとともに、最初の DMA 転送に関する情報が記憶されている R A M 4 0 0 の先頭のアドレス（図 5 の場合には、2 0 0 . 0 0 0 0 0 H）を R L D _ S R C レジスタ 2 1 5 に書き込んだ上で、C T L レジスタ 2 0 3 の E N B ビットを 1 にセットすればよく、複数の DMA 転送を 1 度に設定することができるようになる。

【0 0 9 3】

したがって、C P U は、DMA チャンネルに対して複数の DMA 転送を設定したいときにはリロードモードを使用することによって、DMA 転送の設定に割かれる処理時間を低減させることができるようになる。

【0 0 9 4】

また、DMA 転送が終了したときに、C T L レジスタ 2 0 3 の C E P E ビットが 0 であれば、DMA 転送が終了した旨を通知する割り込みを C P U に対して行わない。したがって、C P U は、次の DMA 転送の設定を行ったときには、C E P E ビットを 0 にセットしておけば、1 つ前に設定した DMA 転送が終了しても DMA コントローラから割り込みを受けないので、DMA コントローラからの無意味な割り込みがなくなり、その分だけ多くの時間を他の処理に費やすことができる。

【0 0 9 5】

尚、C P U は、システムバスの使用权を持っているときには、C T L レジスタ 2 0 3 の値を書き換えることによって、DMA チャンネルの動作モード、及び、DMA 転送終了時の割り込みの有無をいつでも切り換えることができるので、状況の変化に容易に対応することができる。

【0096】

その他には、CYCレジスタ206に設定された値を p 、TRNレジスタ207に設定された値を q とすると、DMA転送が要求される毎に $(p+1)$ サイクルのDMA転送を行い、その後、新たなDMA転送要求が発生するまで待機状態になる。そして、 $(q+1)$ 回目のDMA転送の要求に対してDMA転送を行った時点で動作を終了する。すなわち、 $(p+1)$ サイクルのDMA転送を $(q+1)$ 回行うことになる。

【0097】

したがって、CPUは、AサイクルのDMA転送をB回だけ繰り返し行いたい場合、CYCレジスタ206の値を $A-1$ に、TRNレジスタの値を $B-1$ にそれぞれ設定するという作業を一度だけ行えばよく、これにより、CPUの負担が軽減するので、その分、システムの性能低下を抑制することができる。

【0098】**【発明の効果】**

以上説明したように、本発明のデータ処理制御装置によれば、サービスの実行が要求されているサービス実行手段の中で優先順位が最も高いものがサービスの実行を開始することができるが、1つのサービス実行手段が許可された量だけ連続してサービスを実行する毎に、そのサービス実行手段の優先順位が最も低くなり、また、1つのサービス実行手段が連続して実行することができるサービス量を各サービス実行手段毎に自由に設定することができるので、特定のサービス実行手段が独占してサービスを実行するという問題を回避した上で、任意のサービス実行手段に優先的にサービスを実行させることができるようになる。

【図面の簡単な説明】

【図1】 本発明の一実施形態であるDMAコントローラのブロック図である。

【図2】 図1における各DMAチャンネルの回路構成を示す図である。

【図3】 図1におけるDMA起動制御部の動作を説明するためのフローチャートである。

【図4】 図1におけるチャンネル決定シーケンサの動作を説明するためのフ

ローチャートである。

【図5】 リロードモードを用いてDMA転送を行う場合に、CPUによってRAMに書き込まれる内容を説明するための図である。

【図6】 図2におけるDMA実行シーケンサの動作を説明するためのフローチャートである。

【図7】 図2におけるDMA実行シーケンサの動作を説明するためのフローチャートである。

【図8】 図2におけるレジスタコントローラの動作を説明するためのフローチャートである。

【図9】 図2におけるレジスタコントローラの動作を説明するためのフローチャートである。

【図10】 本実施形態のDMAコントローラにおいて、DMA転送を行うDMAチャンネルが推移する様子の一例を示す図である。

【図11】 1つのチャンネルが許可された量だけ連続してサービスを実行したときに、各チャンネルの優勢順位がどのように更新されるかを示す図である。

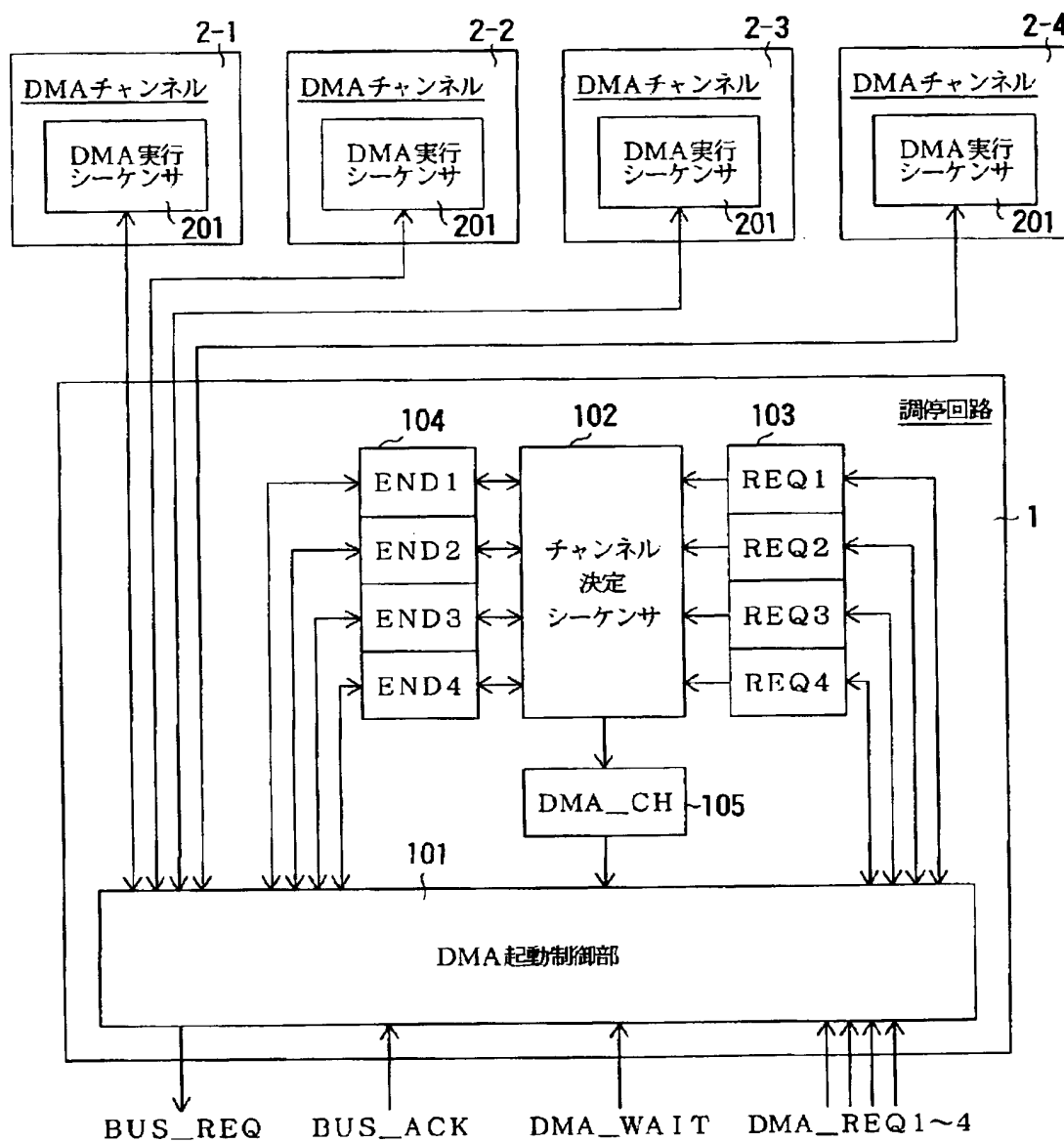
【符号の説明】

- 1 調停回路
- 2-1、2-2、2-3、2-4 DMAチャンネル
- 101 DMA起動制御部
- 102 チャンネル決定シーケンサ
- 103 リクエストレジスタ
- 104 エンドレジスタ
- 105 起動チャンネルレジスタ
- 201 シーケンサ
- 202 レジスタコントローラ
- 203 CTLレジスタ
- 204 SRCレジスタ
- 205 DSTレジスタ
- 206 CYCレジスタ

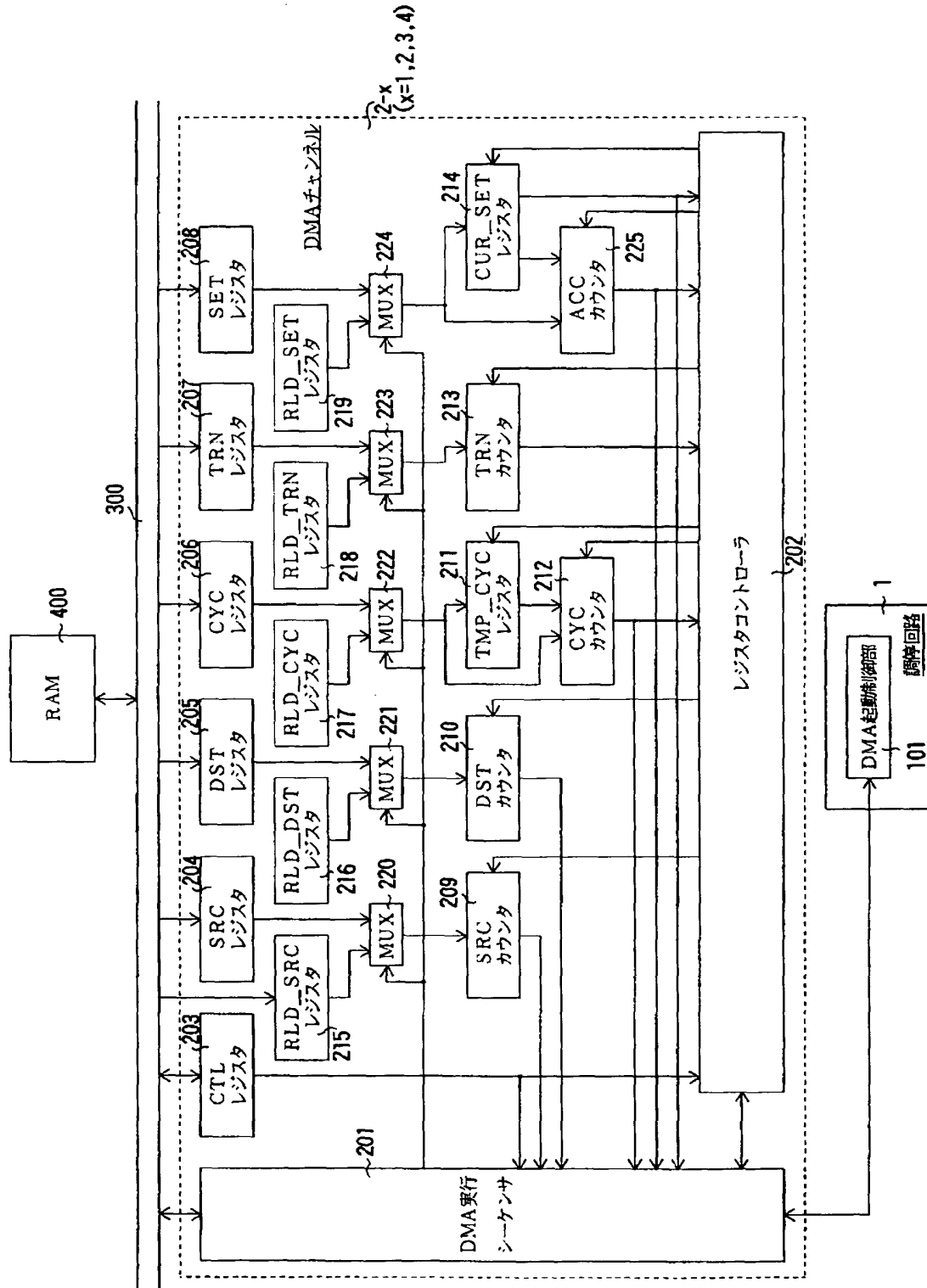
2 0 7	TRNレジスタ	
2 0 8	SETレジスタ	
2 0 9	SRCカウンタ	
2 1 0	DSRカウンタ	
2 1 1	TMP__CYCレジスタ	
2 1 2	CYCカウンタ	
2 1 3	TRNカウンタ	
2 1 4	CUR__SETレジスタ	
2 1 5	RLD__SRCレジスタ	
2 1 6	RLD__DSTレジスタ	
2 1 7	RLD__CYCレジスタ	
2 1 8	RLD__TRNレジスタ	
2 1 9	RLD__SETレジスタ	
2 2 0、2 2 1、2 2 2、2 2 3、2 2 4	マルチプレクサ	
2 2 5	ACCカウンタ	
3 0 0	システムバス	
4 0 0	RAM	

【書類名】 図面

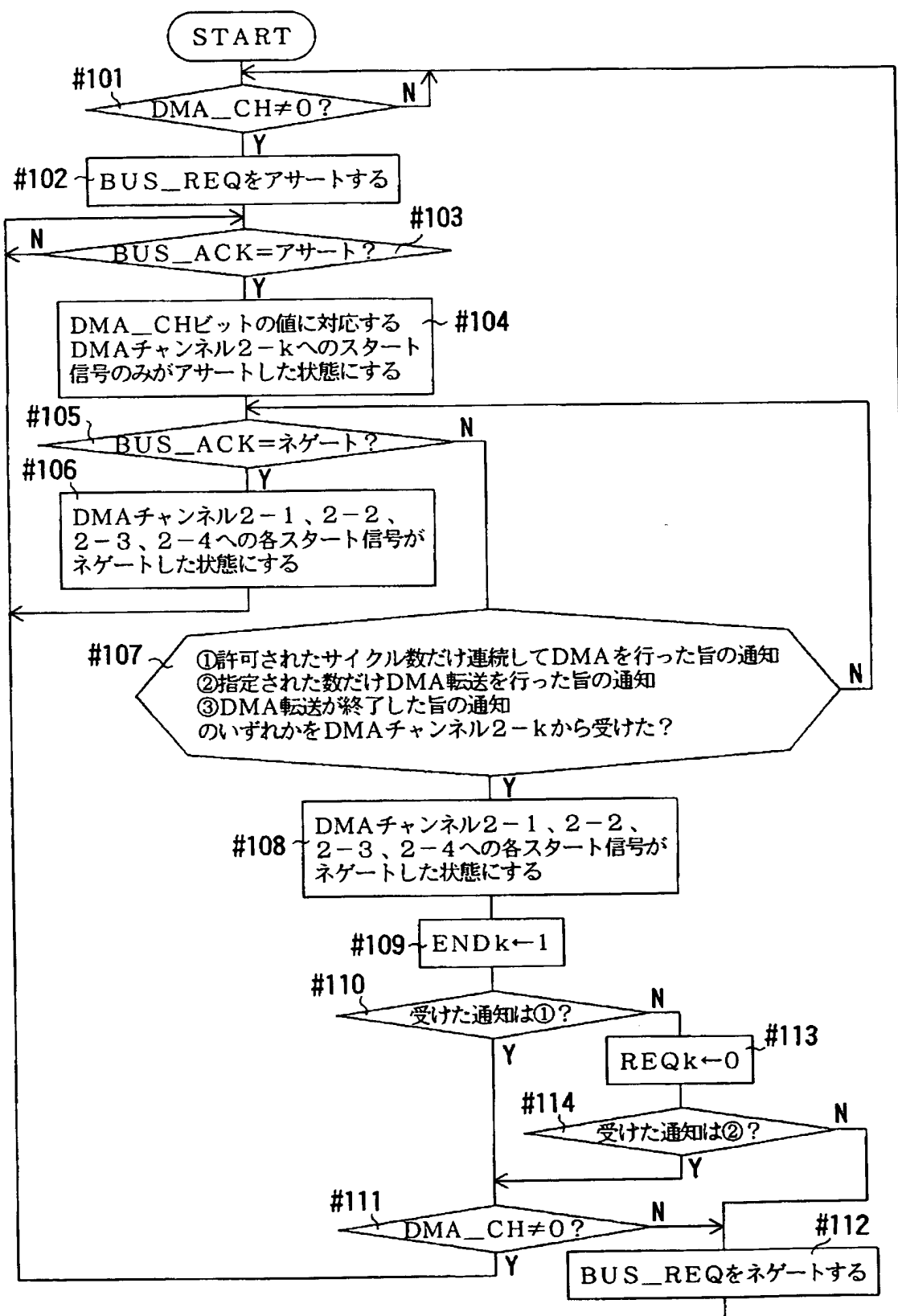
【図 1】



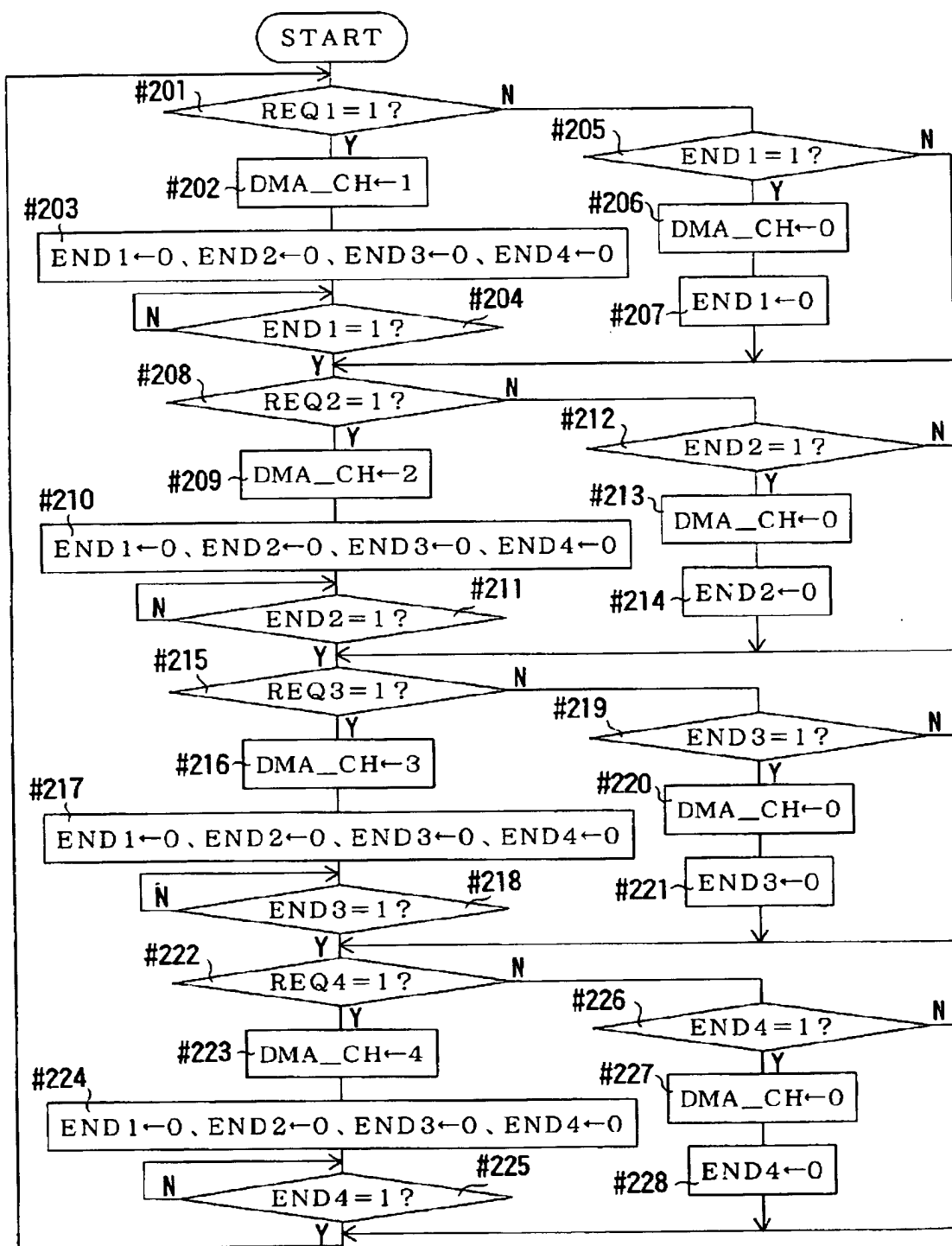
【図2】



【図 3】



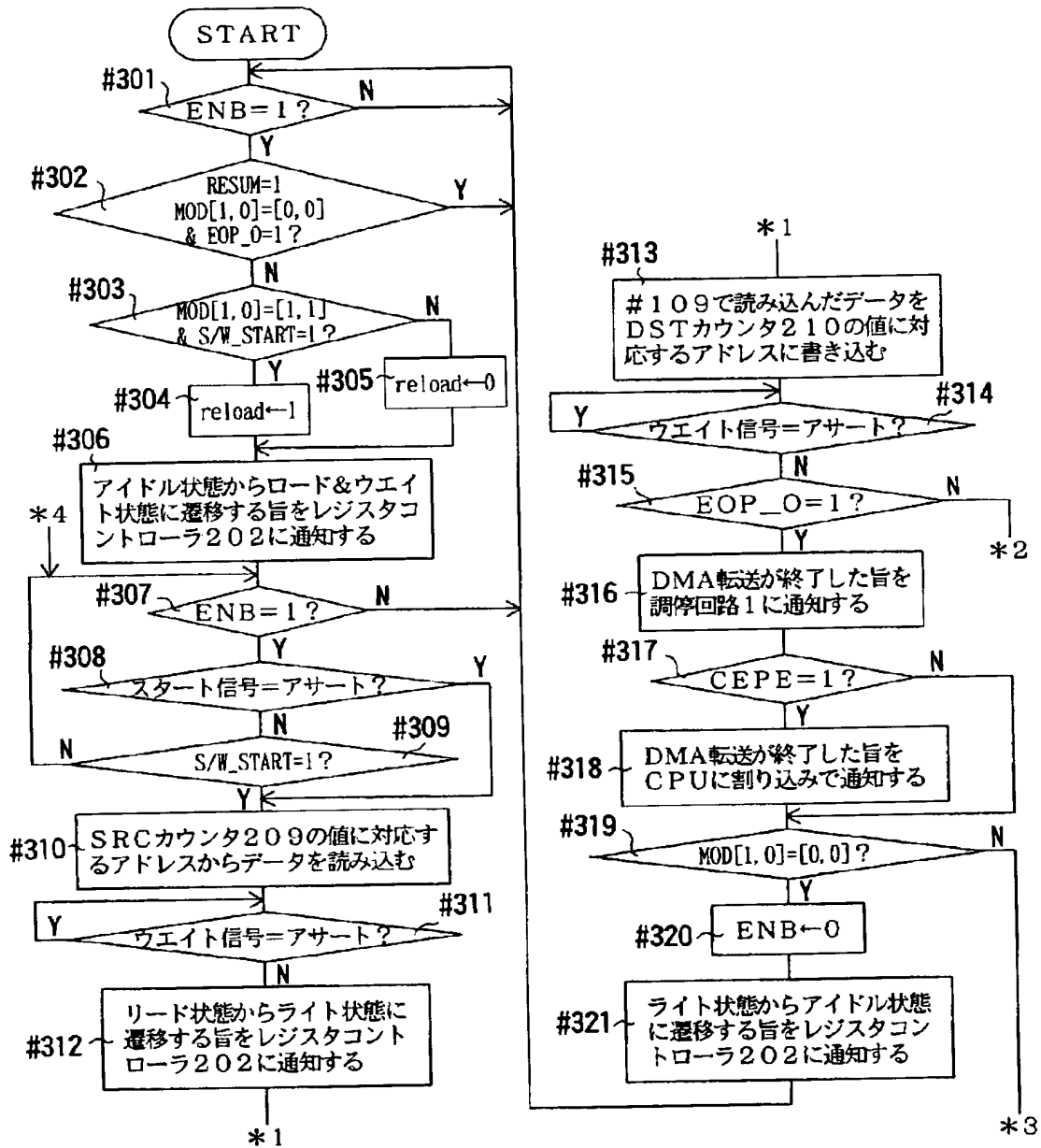
【図 4】



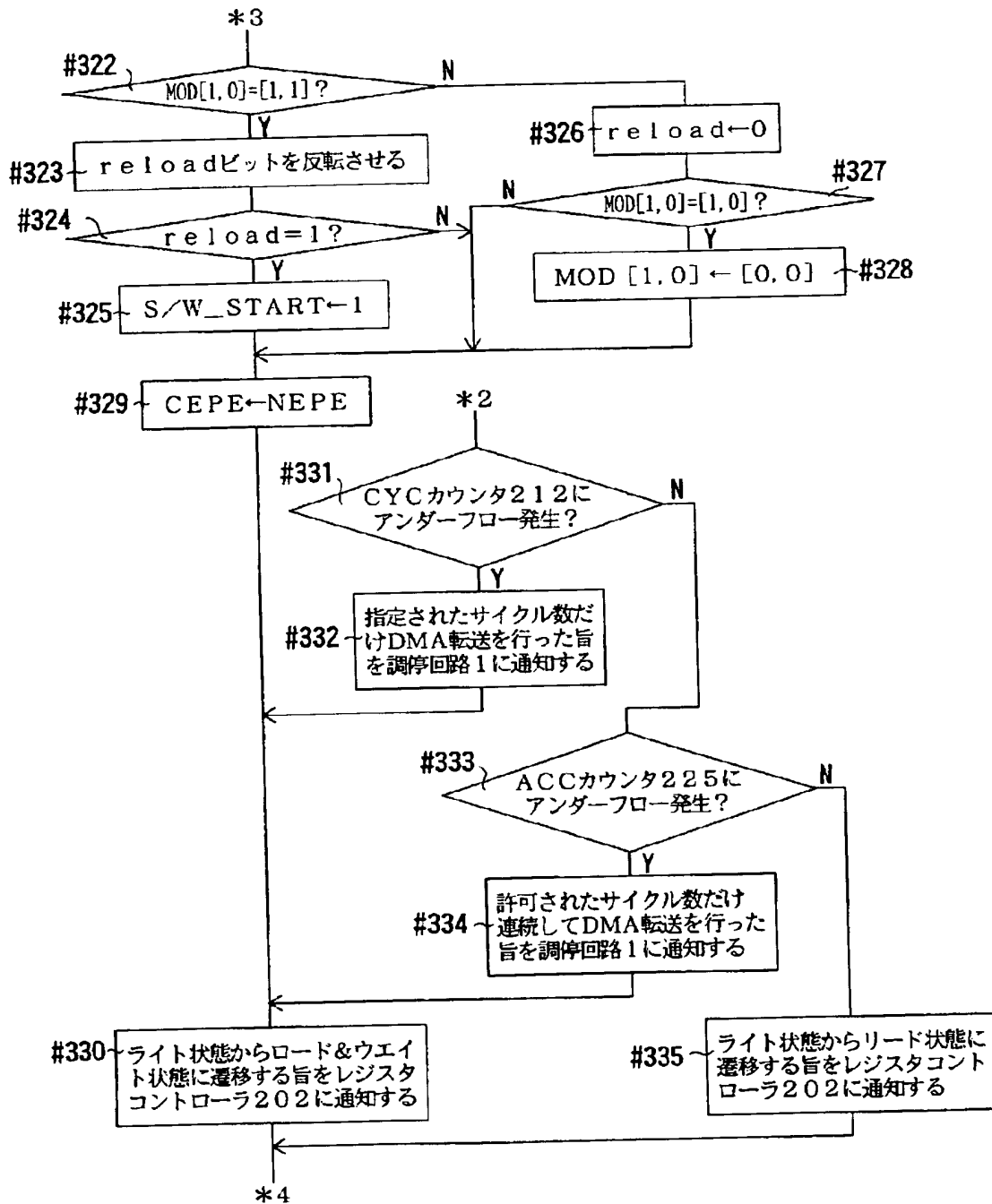
【図 5】

アドレス (Hex)	データの内容
⋮	⋮
20000000~20000003	2つ目のDMA転送に必要な情報が記憶されている RAM400の先頭のアドレス (20007774)
20000004~20000007	1つ目のDMA転送における 転送元の先頭のアドレスを示す情報
20000008~2000000B	1つ目のDMA転送における 転送先の先頭のアドレスを示す情報
2000000C~2000000D	1つ目のDMA転送において 1回のDMA転送で行うサイクル数を示す情報
2000000E~2000000F	1つ目のDMA転送において DMA転送を行う回数を示す情報
20000010~20000011	1つ目のDMA転送に関する他の情報
20000012	1つ目のDMA転送に関する制御情報 S/W_START=0 MOD [1, 0] = [1, 1]
⋮	⋮
20007774~20007777	3つ目のDMA転送に必要な情報が記憶されている RAM400の先頭のアドレス (Don't care.)
20007778~2000777B	2つ目のDMA転送における 転送元の先頭のアドレスを示す情報
2000777C~2000777F	2つ目のDMA転送における 転送先の先頭のアドレスを示す情報
20007780~20007781	2つ目のDMA転送において 1回のDMA転送で行うサイクル数を示す情報
20007782~20007783	2つ目のDMA転送において DMA転送を行う回数を示す情報
20007784~20007785	2つ目のDMA転送に関する他の情報
20007786	2つ目のDMA転送に関する制御情報 S/W_START=0 MOD [1, 0] = [1, 0]
⋮	⋮

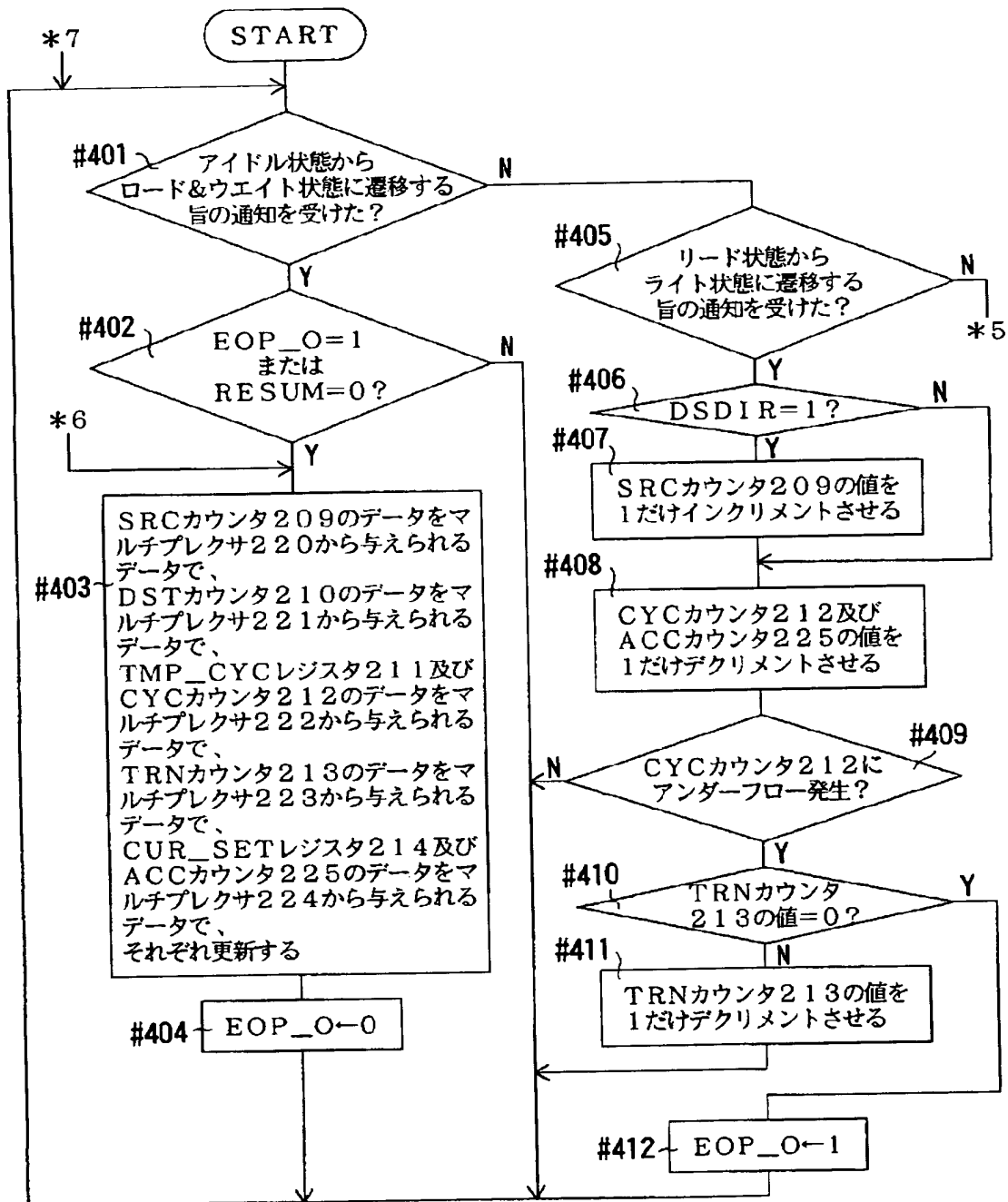
【図 6】



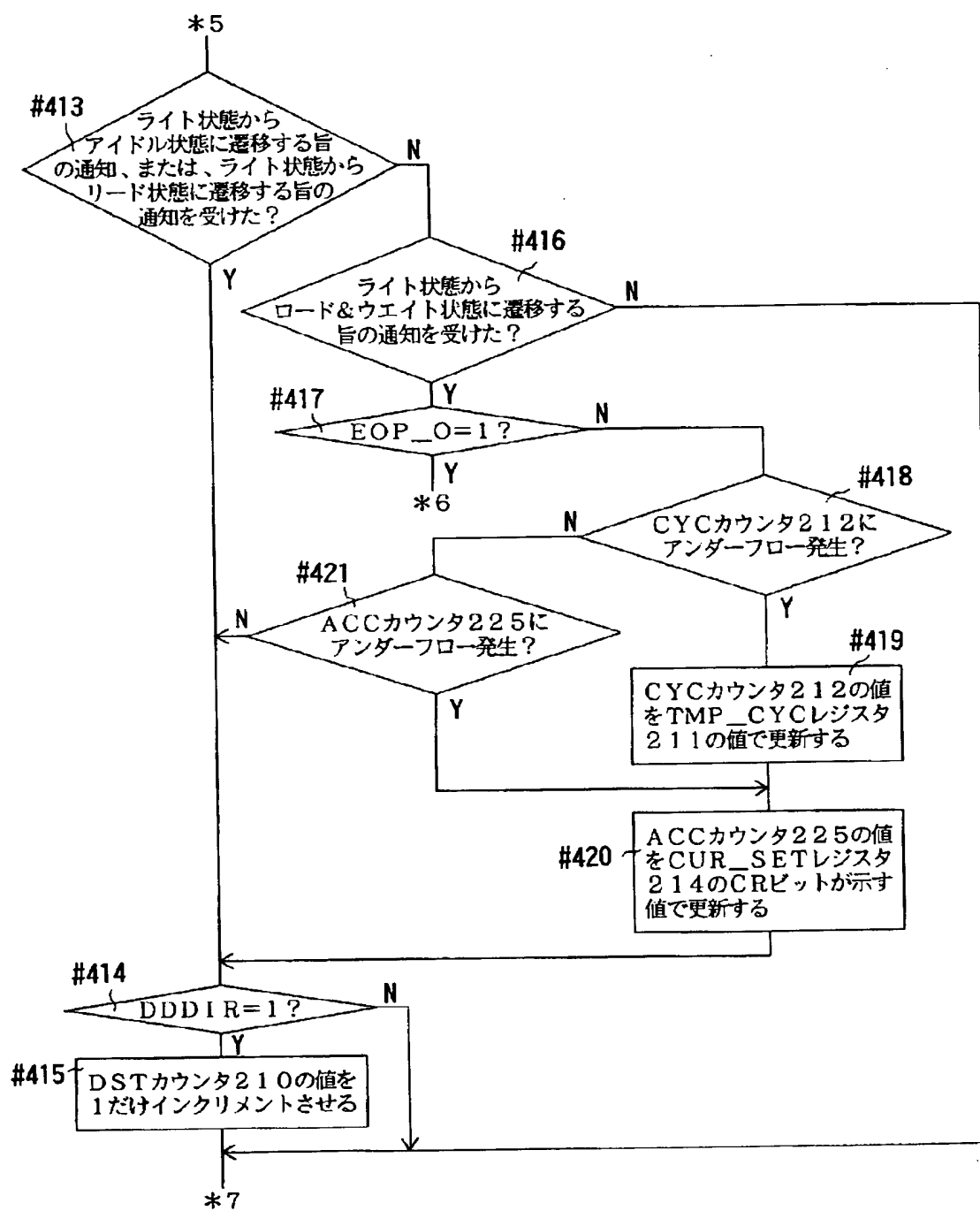
【図 7】



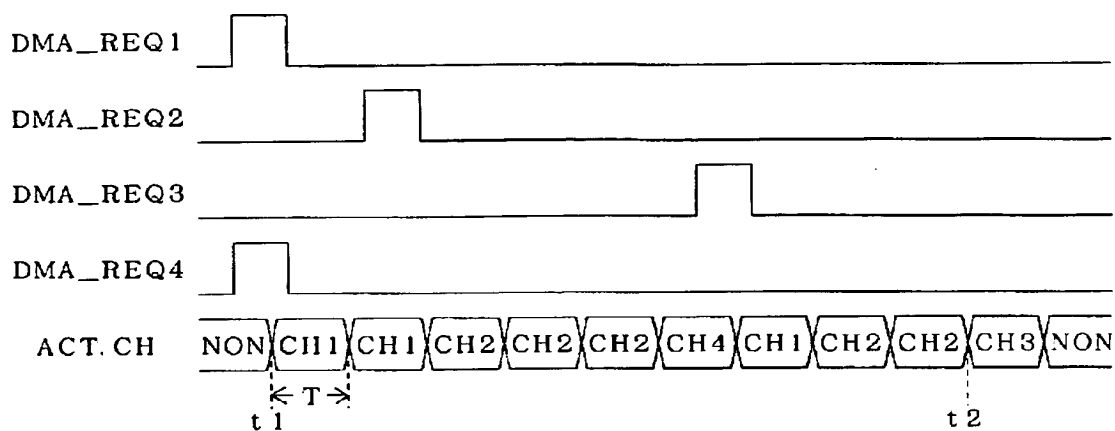
【図 8】



【図 9】



【図 10】



【図 11】

(a)

優先順位	チャンネル
1	CH2
2	CH3
3	CH4
4	CH1

(b)

優先順位	チャンネル
1	CH3
2	CH4
3	CH1
4	CH2

(c)

優先順位	チャンネル
1	CH4
2	CH1
3	CH2
4	CH3

(d)

優先順位	チャンネル
1	CH1
2	CH2
3	CH3
4	CH4

【書類名】 要約書

【要約】

【課題】 特定のサービス実行手段が独占してサービスを実行するという問題を回避した上で、任意のサービス実行手段に優先的にサービスを実行させることができるようにしたデータ処理制御装置を提供する。

【解決手段】 調停回路 1 は、DMA チャンネル 2-1、2-2、2-3、2-4 のうち、DMA 転送が要求されており、且つ、優先順位が最も高いものに DMA 転送を実行させるが、許可されたサイクル数だけ連続して DMA 転送を行った旨の通知を DMA チャンネルから受けると、その DMA チャンネルの優先順位が最も低くなるように各 DMA チャンネルの優先順位を更新する。各 DMA チャンネル 2-1、2-2、2-3、2-4 は、当チャンネルに何サイクル連続して DMA 転送を行うことを許可するかを示すデータを書き込むためのレジスタを有しており、該レジスタに書き込まれているデータに応じたサイクル数だけ連続して DMA 転送を行う毎に、許可されたサイクル数だけ連続して DMA 転送を行った旨を調停回路 1 に通知する。

【選択図】 図 1

特願 2 0 0 2 - 2 7 7 2 7 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社